

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-324857
 (43)Date of publication of application : 25.11.1994

(51)Int.Cl. G06F 9/06
 G06F 9/06
 G06F 12/06
 G06F 15/78

(21)Application number : 05-111738
 (22)Date of filing : 13.05.1993

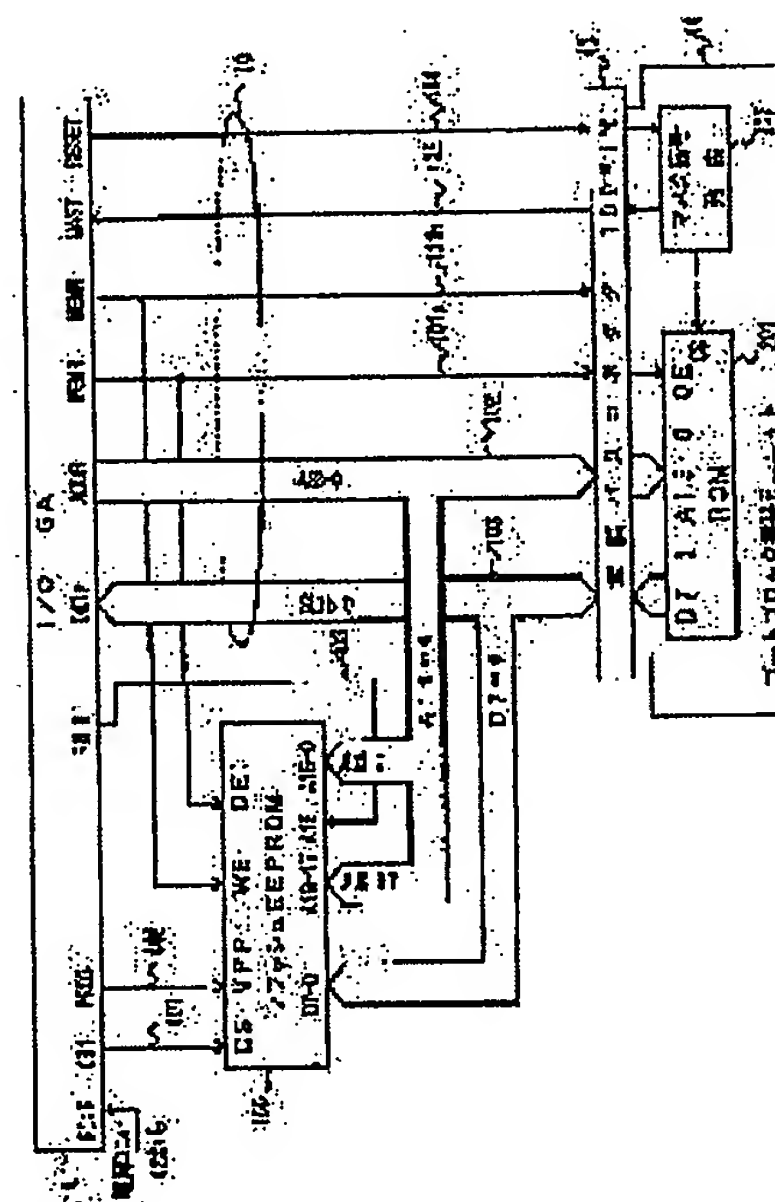
(71)Applicant : TOSHIBA CORP
 (72)Inventor : HAYASHI KYOJI
 SATAKE SHIGERU

(54) COMPUTER SYSTEM

(57)Abstract:

PURPOSE: To simplify work for program correction by rewriting a boot block in an EEPROM without exchanging chip memory.

CONSTITUTION: When a boot block rewriting unit 44 is connected to a system bus 10 via an extended bus connector 43, access to a flash EEPROM 100 is disabled. Thereby, a system address from a CPU is sent to the ROM 201 of the boot block rewriting unit 44, then, the ROM 201 is accessed. As a result, a reloading program stored in the ROM 201 is executed by the CPU, and processing to rewrite a boot block area is started. Therefore, the content of a boot block can be corrected without exchanging the flash EEPROM 100 even when the boot block that is a program to be executed first when a system is started up is destroyed.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平6-324857

(43)公開日 平成6年(1994)11月25日

(51) Int.Cl. ⁸		識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	9/06	4 4 0 M	9367-5B		
		N	9367-5B		
		4 1 0 T	9367-5B		
	12/06	5 2 0	9366-5B		
	15/78	5 1 0 C			

審査請求 未請求 請求項の数 2 O L (全 16 頁)

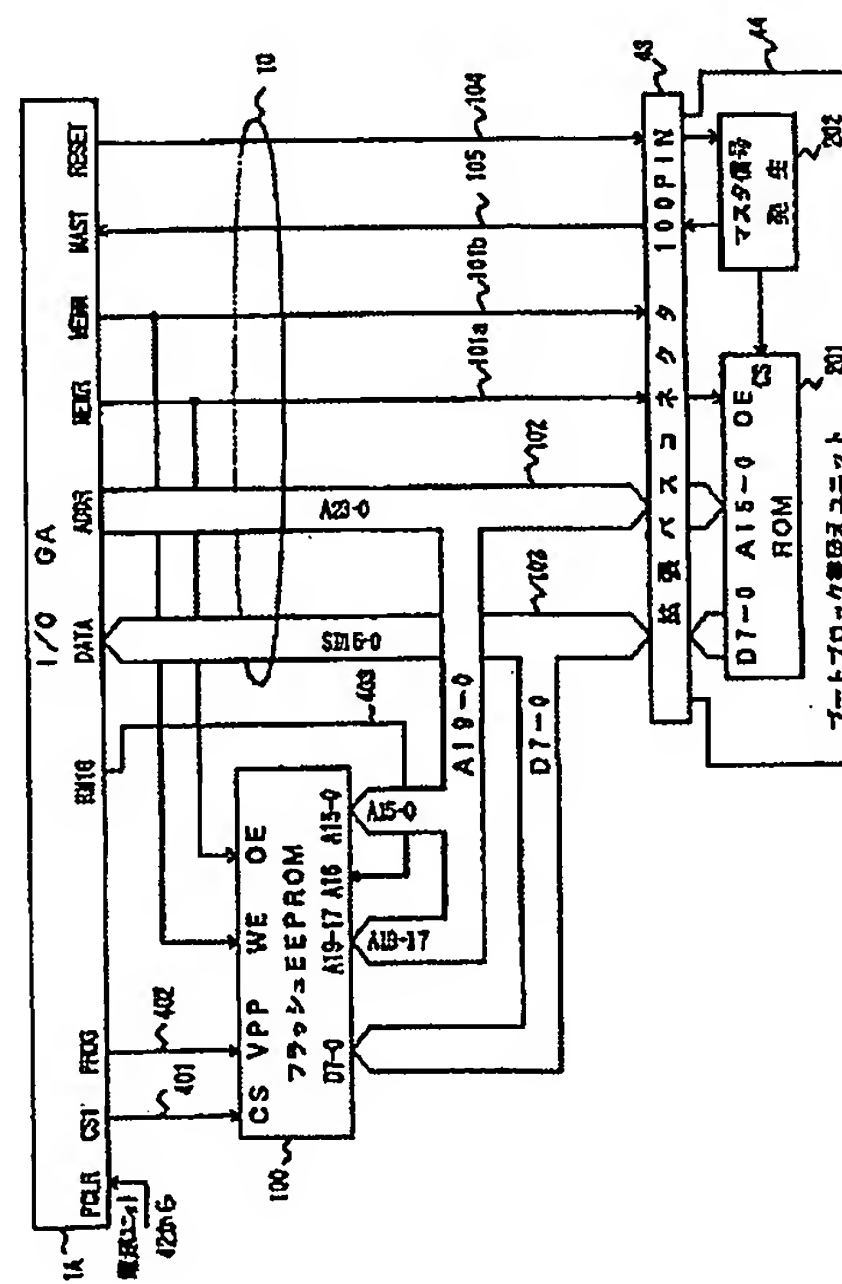
(21)出願番号	特願平5-111738	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成5年(1993)5月13日	(72)発明者	林 恭司 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(72)発明者	佐竹 繁 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(74)代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【目的】EEPROM内のブートブロックをそのメモリチップの交換なしで書き替えられるようにし、プログラム修復のための作業の簡単化を図る。

【構成】ブートブロック書き替えユニット44が拡張バスコネクタ43を介してシステムバス10に接続されると、フラッシュEEPROM100のアクセスがディセーブルされる。これにより、CPU11からのシステムアドレスはブートブロック書き替えユニット44のROM201に送られ、ROM201がアクセスされる。この結果、ROM201に格納された書き替えプログラムがCPU11によって実行され、ブートブロックエリアを書き替えるための処理が開始される。したがって、システム起動時に最初に実行されるプログラムであるブートブロックが破壊された場合でも、そのフラッシュEEPROM100を交換すること無く、ブートブロックの内容を修復することが可能となる。



【特許請求の範囲】

【請求項1】 CPUと、

このCPUに接続されるシステムバスと、
このシステムバスに接続され、システムアドレス空間の
所定の第1アドレス範囲にマッピングされシステム起動
時に最初に実行されるプログラムが記憶されているブー
ト領域を有するEEPROMと、

前記ブート領域と同一の前記第1アドレス範囲にマッピ
ングされる記憶領域を有し、その記憶領域に前記ブー
ト領域の内容を修復するための書き換えプログラムが記憶
されているメモリ装置であって、前記システムバスに着
脱自在に接続されるメモリ装置と、

このメモリ装置が前記システムバスに接続されているか
否かを検出する手段と、

前記メモリ装置の接続が検出された際、前記EEPROM
のアクセスをディセーブルする手段と、

前記CPUから出力される前記ブート領域を指定するシ
ステムアドレスによって前記メモリ装置をリードアクセ
スし、前記書き換えプログラムを前記CPUに実行させ
る手段と、

前記EEPROMのブート領域を前記第1アドレス範囲
とは異なる第2アドレス範囲にリマッピングし、その第
2アドレス範囲を通した前記EEPROMのアクセスを
イネーブルにする手段とを具備することを特徴とするコ
ンピュータシステム。

【請求項2】 CPUと、

このCPUに接続されるシステムバスと、

このシステムバスに接続される各種I/O装置と、

前記システムバスに接続されたEEPROMであって、
前記I/O装置を制御するための基本入出力プログラム
が格納されたシステムBIOS領域と、システム起動時
に最初に実行され前記システムBIOS領域の正当性の
有無の判定のために前記システムBIOS領域の内容を
チェックするプログラムが格納されたブート領域とを有
し、前記ブート領域および前記システムBIOS領域が
それぞれシステムアドレス空間の第1および第2のア
ドレス範囲にマッピングされているEEPROMと、
前記システムバスに各種拡張装置を接続するための拡張
バスコネクタと、

前記第1アドレス範囲にマッピングされる記憶領域を有
し、その記憶領域に、前記ブート領域の内容を修復する
ための書き換えプログラムが記憶されているROMを含
み、前記拡張バスコネクタに着脱自在に装着されるプロ
グラム書き換えユニットと、

このプログラム書き換えユニット内に設けられ、前記シ
ステムバス内に定義された所定の信号線上にそのプロク
ラム書き換えユニットが装着されたことを示す信号を出
力する手段と、

前記所定の信号線に接続されその信号線を介して前記書
き換えユニットから供給される信号出力に応答して、前

記第1アドレス範囲を通した前記EEPROMのアクセ
スをディセーブルする手段と、

前記CPUから出力される前記ブート領域を指定するシ
ステムアドレスによって前記メモリ装置をリードアクセ
スし、前記書き換えプログラムを前記CPUに実行させ
る手段と、

前記EEPROMのブート領域とシステムBIOS領域
のアドレス範囲を互いに入れ替えて前記ブート領域を前
記第2アドレス範囲にリマッピングし、その第2アドレ
ス範囲を通した前記EEPROMのアクセスをイネー
ブルにする手段とを具備することを特徴とするコンピュ
ータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はコンピュータシステム
に関し、特にフラッシュEEPROM等の書き換え可能
なROMをシステムROMとして使用したコンピュータ
システムに関する。

【0002】

【従来の技術】 一般に、パーソナルコンピュータなどの
コンピュータシステムは、BIOS（基本入出力プログ
ラム）を記憶するためのシステムROM（リードオンリ
メモリ）を備えている。従来、このシステムROMの内
容が破壊された場合やBIOSの内容をバージョンアッ
プする場合は、コンピュータシステムを分解してシステ
ムROMを交換する必要があった。

【0003】 ところで、近年では、書き換え可能なRO
Mとして、フラッシュEEPROMが開発されている。
フラッシュEEPROMは、記憶データをブロック単位
で消去できる等の種々のメリットを有する。このため、
最近では、フラッシュEEPROMをシステムROMと
して使用して、BIOSを書き換え可能にする構成が採
用され始めている。

【0004】 この場合、そのフラッシュEEPROMか
ら構成されるシステムROMには、BIOSの内容をチ
ェックするためのプログラムを格納しておくことが必要
となる。このプログラムは、BIOSの実行に先だつて
システム起動時に最初に実行されるプログラムであり、
ブートブロックと称されている。

【0005】 このようなフラッシュEEPROMを使用
したシステムにおいては、BIOSの書き換えは次のよ
うな手順で行われる。すなわち、システムがパワーオン
されると、フラッシュEEPROMのブートブロックの
プログラムが最初に起動され、BIOSのチェックが行
われる。BIOSの内容に異常があれば、その旨がユー
ザに提示される。そして、正しいBIOSが格納された
フロッピーディスク等からフラッシュEEPROMにプ
ログラムが転送され、フラッシュEEPROMのBIO
Sが書き換えられる。

【0006】 このようなBIOSの書き換えを製品出荷

後においても分解作業なしで行えることが、フラッシュEEPROMを使用する大きなメリットになる。しかしながら、フラッシュEEPROMのブートブロックのプログラムはシステム起動時に最初に実行されるものであるので、もしそのブートブロックの内容が破壊されてしまうと、BIOSの内容チェックができないばかりか、システムを起動できないという不具合も発生する。したがって、ブートブロックエリアの内容が破壊された場合には、フラッシュEEPROM自体を交換しなければならない。

【0007】

【発明が解決しようとする課題】従来のシステムでは、システム起動時に最初に実行されるEEPROM内のプログラムが破壊された場合には、そのプログラムを修復することができないので、EEPROMを交換するという作業を行わなければならない欠点があった。

【0008】この発明はこのような点に鑑みてなされたもので、システム起動時に最初に実行されるEEPROM内のプログラムが破壊された場合でも、そのEEPROMの交換なしでそのプログラムを修復することができるコンピュータシステムを提供することを目的とする。

【0009】

【課題を解決するための手段および作用】この発明のコンピュータシステムは、CPUと、このCPUに接続されるシステムバスと、このシステムバスに接続され、システムアドレス空間の所定の第1アドレス範囲にマッピングされシステム起動時に最初に実行されるプログラムが記憶されているブート領域を有するEEPROMと、前記ブート領域と同一の前記第1アドレス範囲にマッピングされる記憶領域を有し、その記憶領域に前記ブート領域の内容を修復するための書き換えプログラムが記憶されているメモリ装置であって、前記システムバスに着脱自在に接続されるメモリ装置と、このメモリ装置が前記システムバスに接続されているか否かを検出する手段と、前記メモリ装置の接続が検出された際、前記EEPROMのアクセスをディセーブルする手段と、前記CPUから出力される前記ブート領域を指定するシステムアドレスによって前記メモリ装置をリードアクセスし、前記書き換えプログラムを前記CPUに実行させる手段と、前記EEPROMのブート領域を前記第1アドレス範囲とは異なる第2アドレス範囲にリマッピングし、その第2アドレス範囲を通じた前記EEPROMのアクセスをイネーブルにする手段とを具備することを特徴とする。

【0010】このコンピュータシステムにおいては、メモリ装置がシステムバスに接続されると、EEPROMのアクセスがディセーブルされる。これにより、CPUから第1アドレス範囲に属すシステムアドレスが発行されると、そのシステムアドレスはそのままシステムバスを介してメモリ装置に送られ、メモリ装置がリードアク

セスされる。この結果、メモリ装置に格納された書き換えプログラムがCPUによって実行され、ブート領域を書き替えるための処理が開始される。この場合、EEPROMのブート領域は、メモリ装置とアドレスがオーバーラップしないように、第2アドレス範囲にリマッピングされ、そのアドレス範囲を通してライトアクセスされる。したがって、システム起動時に最初に実行されるプログラムであるブート領域が破壊された場合でも、そのフラッシュEEPROMを交換すること無く、ブート領域の内容を修復することが可能となる。

【0011】

【実施例】以下、図面を参照してこの発明の実施例を説明する。図1には、この発明の一実施例に係わるポータブルコンピュータのシステム構成が示されている。このポータブルコンピュータは、ラップトップタイプまたはノートブックタイプのコンピュータであり、メモリバス1、システムバス10、CPU11、I/Oゲートアレイ11Aを備えており、メモリバス1には主メモリ12が接続されると共に、増設メモリ13がオプション接続される。

【0012】CPU11は、システム全体の制御を司るためのものであり、各種操作メニューを画面表示する機能や、その操作メニュー画面上でユーザによって指定された各種処理を実行する機能を有している。

【0013】I/Oゲートアレイ11Aは、各種メモリやI/Oアクセスのための制御や、バスサイクル制御を行なう。主メモリ12には、処理対象となるプログラムおよびデータ等が格納される。この主メモリ12は例えば2Mバイトの記憶容量を有し、最初の1Mバイトのうちの640Kバイトがシステムメモリとして利用され、残りの384Kバイトがワークエリアとして利用される。また、この主メモリ12の2Mバイトの内で前述のシステムメモリ領域を除く一部の領域は、ハードRAMやEMSメモリとして設定可能である。増設メモリ13は、2Mバイト/4Mバイト/8Mバイトのメモリカードであり、メモリ拡張のために必要に応じて装着される。この増設メモリ13によって拡張されたメモリ領域に前述のハードRAMやEMSメモリを設定することも可能である。

【0014】システムバス10には、DMAコントローラ(直接メモリアクセスコントローラ)14、割り込みコントローラ15、タイマ16、リアルタイムクロック17およびバックアップRAM18が接続されている。リアルタイムクロック17は、独自の動作電池を持つ時計モジュールであり、その電池から常時電源が供給されるCMOS構成のスタティックRAMを有している。このスタティックRAMは、システム構成を示すセットアップ情報の格納等に利用される。バックアップRAM18は、バッテリバックアップされたメモリであり、32Kバイトの記憶容量を有している。このバックアッ

PRAM18には、ユーザによって設定されるシステム環境設定情報 (CONFIG, SYS) が格納される。

【0015】システムバス10には、さらに、漢字ROM19、辞書ROM20、DOSROM21、アプリケーションROM22、プリンタファームウェアROM23、ユーザROM24、アウトラインフォントROM25、プリンタバッファRAM26、およびメニューROM27が接続されている。

【0016】漢字ROM19は、1Mバイト (64Kバイト×16ページ) の記憶容量を有しており、ここには種々の漢字フォントが記憶されている。辞書ROM20は、512Kバイト (64Kバイト×8ページ) の記憶容量を有しており、カナ-漢字変換辞書が格納されている。DOSROM21は、512Kバイト (64Kバイト×8ページ) の記憶容量を有しており、ここにはDOS (Disk Operating System) 等のオペレーティングシステムが予め記憶されている。また、このDOSROM21には、そのオペレーティングシステムの起動時に実行される自動実行バッチファイルとしてメニュー表示プログラムが記憶されている。

【0017】アプリケーションROM22は、512Kバイト (64Kバイト×32ページ) の記憶容量を有しており、表計算プログラムが記憶されているメモリ領域とワープロ用プログラムが記憶されるメモリ領域を備えている。

【0018】プリンタファームウェアROM23は、256Kバイト (64Kバイト×4ページ) の記憶容量を有しており、ここには内蔵プリンタ36の制御を行うファームウェア、およびアウトラインフォント等の文字フォントの展開を行うファームウェアが格納されている。ユーザROM24は、ICソケットを介してシステムバス10に接続されるものであり、ユーザによって必要に応じて装着される。このユーザROM24は、例えばOTPROMによって構成されている。

【0019】アウトラインフォントROM25は、8Mバイト (64Kバイト×128ページ) の記憶容量を有しており、ここには、各種書体のアウトラインフォントが格納されている。また、アウトラインフォントのフォントソースは、使用する文字サイズに応じて適切なフォントが選べるように1文字種当たり複数種のフォントが用意されている。プリンタバッファRAM26は、2MバイトのSRAMのなかの32Kバイトの領域を利用して実現されており、ここには印字データが展開される。

【0020】メニューROM27は、640Kバイト (64Kバイト×10ページ) の記憶容量を有しており、ここにはメニュー画面に表示するアイコンや、スケジュール、住所録等の個人情報を管理するPIMプログラムが格納されている。

【0021】ここで、これら漢字ROM19、辞書ROM20、DOSROM21、アプリケーションROM2

2、プリンタファームウェアROM23、ユーザROM24、アウトラインフォントROM25、プリンタバッファRAM26、およびメニューROM27は、所定のシステムアドレスにマッピングされたROMアクセス専用のEMSウィンドウを通して選択的にアクセスされるように構成されている。

【0022】システムバス10には、さらに、システムROM28、FDDコントローラ29、プリンタコントローラ30、RS-232Cコントローラ31、キーボードコントローラ32、およびディスプレイコントローラ33が接続されている。

【0023】システムROM28は、例えば128Kバイトの記憶容量を有しており、ここには各種基本入出力プログラム (BIOS: Basic I/O System) が格納されるメインブロックと、そのBIOSの内容のチェック等を行うプログラムが格納されるブートブロックを有している。このシステムROM28は、実際には、前述のプリンタファームウェアROM23、メニューROM27、およびシステムROM28と一緒に、1Mバイトの1個のフラッシュEEPROM100によって実現されている。このフラッシュEEPROM100の詳細は、図2を参照して後述する。

【0024】FDDコントローラ29は、3.5インチのフロッピーディスクを駆動するフロッピーディスクドライブ (FDD) 38を制御する。フロッピーディスクドライブ (FDD) 38は、720Kバイト/12Mバイト/1.44Mバイトの3種類の記録形式をサポートする3モードドライブである。また、FDDコントローラ29は、FDD/プリンタコネクタ39を介してオプション接続される例えば5インチのフロッピーディスクドライブの制御も行う。プリンタコントローラ30は、FDD/プリンタコネクタ39を介してオプション接続される外部プリンタの制御を行なう。RS-232Cコントローラ31は、RS-232C機器の制御を行なう。キーボードコントローラ32は、85キーの内蔵キーボード40やマウスの制御を行なう。ディスプレイコントローラ33は、画像メモリ (VRAM) 34のリード/ライト制御、および640×400ドットの解像度を持つ白黒液晶ディスプレイ41の表示制御を行なう。

【0025】また、このポータブルコンピュータは、内蔵プリンタコントローラ35、および内蔵プリンタ36を備えている。内蔵プリンタコントローラ35は、内蔵プリンタ36を制御するためのものであり、I/Oゲートアレイ11Aに接続されている。内蔵プリンタ36は、このポータブルコンピュータ本体に組み込まれた56ドットのシリアル熱転写プリンタである。この内蔵プリンタ36には、ハガキ用の自動給紙装置を接続することができる。

【0026】さらに、このポータブルコンピュータは、これら各ユニットに動作電源やバックアップ用電源を供

給するための電源コントローラ42を備えており、また2.5インチの本体内蔵型ハードディスクパック37がオプションで装着されるように構成されている。このハードディスクパック37には、ハードディスクドライブ(HDD)とハードディスクドライブコントローラ(HDC)が設けられている。

【0027】また、システムバス10には更に、拡張バスコネクタ43が接続されている。この拡張バスコネクタ43は、機能拡張のための拡張ユニットをシステムバス10に接続するためのものであり、ここには、例えば、前述のブートブロックを書き替えるためのブートブロック書き替えユニット44を装着することができる。ブートブロック書き替えユニット44は、システムROM28のブートブロックと同一アドレス範囲に属すシステムアドレスによってアドレッシングされるように構成されたROMを有しており、このROMにはフラッシュEEPROM100のブートブロックを書き替えるためのプログラムが格納されている。

【0028】次に、図2を参照して、フラッシュEEPROM100の構成例を説明する。フラッシュEEPROM100は、1M×8ビット構成の1Mバイトの記憶容量を有しており、24ビット幅のシステムアドレスA23-0の中の20ビット幅のアドレスA19-0によってアドレッシングされる。すなわち、フラッシュEEPROM100には物理アドレス00000HからFFFFFFHまでの1Mバイトのアドレス空間が割り当てられている。このフラッシュEEPROM100において、物理アドレス00000HからDFFFFHまでの896Kバイトの領域は前述のプリンタファームウェアROM23およびメニューROM27のために使用される領域であり、そこにはプリンタファームウェア、メニュー情報、PIM情報が格納されている。また、物理アドレスE0000HからFFFFFFHまでの128Kバイトの領域は前述のシステムROM28のために使用される領域であり、この128Kバイトの領域のうちの物理アドレスE0000HからEFFFFHまでの64Kバイトの領域はシステムBIOSが格納されるシステムBIOSエリアとして使用され、残りの64Kバイトの領域のうちの物理アドレスFC000HからFFFFFFHまでの8Kバイトの領域はブートブロックが格納されるブートブロックエリアとして使用される。

【0029】ブートブロックは、システムの制御のための最小限の機能を実行するためのプログラムであり、図示のように、ファージャンプ命令、システムBIOSの内容をチェックするためのCRC(Cyclic Redundancy Check)ルーチン、およびフラッシュEEPROM100に対するアドレス変換のためのルーチン、およびBIOS転送ルーチンから構成されている。BIOS転送ルーチンは、システムBIOSの書き換えに用いる書き換えルーチンをフロッピーディスクドライブ(FDD)2

8から主メモリ12に転送するためのプログラムである。ファージャンプ命令は、CPU11がリセットされた後にそのCPU11によって最初にアドレッシングされる格納位置(ここでは、スタートアドレスFFFFFF0H)に格納されており、このファージャンプ命令が最初に実行される。このファージャンプ命令のジャンプ先は、CRCルーチンを示している。アドレス変換ルーチンは、ブートブロックエリアとシステムBIOSエリアのアドレスを入れ替えるためのものであり、このアドレス変換の詳細は図4を参照して後述する。

【0030】次に、図3を参照して、図1のポータブルコンピュータのCPU11によって管理されるメモリマップの一例を説明する。図示のように、システムアドレスF0000HからFFFFFFHまでの64Kバイトのシステムアドレス空間には、システムROM28がマッピングされている。CPU11は、このF0000HからFFFFFFHまでの64Kバイトの空間を介してフラッシュEEPROM100のシステムROM領域をアクセスする。

【0031】フラッシュEEPROM100のシステムROM領域は前述したように128Kバイトの大きさを有するので、システムアドレスF0000HからFFFFFFHまでの64Kバイトの空間には、システムBIOSエリアと、ブートブロックエリアとが選択的にマッピングされる。

【0032】すなわち、システム起動時には、システムBIOSの実行に先立ってそのシステムBIOSの内容をチェックするために、ブートブロックエリアがシステムアドレスF0000HからFFFFFFHまでの空間にマッピングされる。一方、BIOSチェックが完了した後は、通常通り、システムBIOSエリアがシステムアドレスF0000HからFFFFFFHまでの64Kバイトの空間にマッピングされる。

【0033】以下、図4を参照して、フラッシュEEPROM100に対するアドレス割り当ての詳細を説明する。図4に示されているように、システム起動時には、CPU11からの24ビット幅のシステムアドレスA23-0の中でフラッシュEEPROM100をアドレッシングするための20ビット幅のシステムアドレスA19-0は、そのまま物理アドレスとしてフラッシュEEPROM100に供給される。この結果、システムアドレスF0000HからFFFFFFHまでの64Kバイトの空間には、フラッシュEEPROM100のブートブロックエリアと予備エリアがマッピングされる。また、この場合、システムBIOSエリアはシステムアドレスE0000HからEFFFFHまでの64Kバイトの空間にマッピングされることになるが、そのエリアはバックアップRAM等のアクセスに利用されているのでシステムBIOSエリアのアクセスはディセーブルされる。

【0034】一方、ブートブロック実行後(ノーマル

時)には、フラッシュEEPROM100をアドレッシングするための20ビット幅のシステムアドレスA19-0の中のビット16(A16)の論理が反転され、その反転されたA16を含む20ビット幅のシステムアドレスA19-0が物理アドレスとしてフラッシュEEPROM100に供給される。このアドレスA16の反転処理は、ブートブロックのアドレス変換ルーチンで行われる。

【0035】アドレスA16="0"はセグメントアドレスEを指定し、アドレスA16="1"はセグメントアドレスFを指定する。したがって、アドレスA16の論理を反転すると、システムBIOSエリアとブートブロックエリアのアドレスが互いに入れ替えられる。この結果、A16の反転後においては、CPU11は、システムアドレスF0000HからFFFFFFHまでの空間を通して、フラッシュEEPROM100のシステムBIOSエリアを参照することができる。

【0036】また、この場合、ブートブロックエリアは、システムアドレスEC000HからFFFFFFHまでの8Kバイトの空間にマッピングされることになるが、そのエリアはバックアップRAM等のアクセスに利用されているので通常はそのアドレス空間を介したブートブロックのアクセスはディセーブルされる。しかしながら、ブートブロックの書き替え時には、そのシステムアドレスEC000HからFFFFFFHまでの8Kバイトの空間にブートブロックウィンドウをオープンすることができる。

【0037】このように、フラッシュEEPROM100のシステムBIOSエリアとブートブロックエリアはアドレスA16の反転処理によって互いに入れ替えられ、システム起動時には、システムROMアクセスのためのアドレスF0000HからFFFFFFHまでの空間にブートブロックがマッピングされ、システムBIOSのチェック終了後はその空間にシステムBIOSがマッピングされるように構成されている。

【0038】図5には、フラッシュEEPROM100周辺のハードウェア構成とブートブロック書き替えユニット44の構成が示されている。前述したように、フラッシュEEPROM100を使用する大きなメリットは、システムBIOS等のプログラムの修復やバードيونアップを製品出荷後においても分解作業なしで行えるということである。しかしながら、前述したようにフラッシュEEPROM100のブートブロックはシステム起動時に最初に実行されるプログラムであるので、もしそのブートブロックエリアの内容が破壊されてしまっていた場合には、システムBIOSの内容チェックができないばかりか、システムをスタートできないという不具合が発生する。

【0039】そこで、この図5の構成では、システムバス10のマスタ信号(MAST)を使用してフラッシュ

EEPROM100のアクセスを一時的禁止し、外付けのROM201に制御を移してブートブロックを書き替えるようにしている。

【0040】以下、具体的な回路構成について詳述する。フラッシュEEPROM100には、チップセレクト信号線401を介してI/Oゲートアレイ11Aからのチップセレクト信号CS1が供給される。このチップセレクト信号CS1は、システムアドレスの値がアドレスF0000H~FFFFFFHの範囲に属す時に付勢される。また、フラッシュEEPROM100のプログラム電源端子(VPP)には、プログラム電源線402を介して例えば+12Vのプログラム用電源(PRG)が供給される。このプログラム用電源(PRG)は、フラッシュEEPROM100の内容を書き替えるためのプログラム動作時に発生される。

【0041】さらに、フラッシュEEPROM100の出カインーブル端子(OE)およびライトインーブル端子(WE)は、システムバス10のメモリリード信号

(MEMR)線101aおよびメモリライト信号(MEMW)線101bに接続されている。また、フラッシュEEPROM100の20ビット幅のアドレス入力端子のうちのA16端子は、信号線403を介してI/Oゲートアレイ11AのアドレスA16出力端子(RM16)に接続され、残りの19ビットの端子は、システムアドレスA16を除くアドレスバス(A23-0)102の下位20ビット(A19-17, A15-0)に接続されている。さらに、フラッシュEEPROM100のデータ入出力端子はデータバス(SD15-0)103の下位8ビット(SD7-0)に接続されている。I/Oゲートアレイ11AのアドレスA16出力端子(RM16)は、システム起動時は、システムアドレスのA16をそのまま信号線403上に出力し、ブートブロックのプログラム実行後、またはブートブロックの書き替え時には、システムアドレスのA16の論理を反転して信号線403上に出力する。

【0042】ブートブロック書き替えユニット44は、ROM201、およびマスタ信号(MAST)発生回路202から構成されている。このブートブロック書き替えユニット44は、前述したように、拡張バスコネクタ43を介してシステムバス10に接続される。このブートブロック書き替えユニット44が図示のように拡張バスコネクタ43に装着された状態では、ROM201の出カインーブル端子(OE)は、システムバス10のメモリリード信号(MEMR)線101aに接続され、またアドレス入力端子はアドレスバス(A23-0)102の下位16ビット(A15-0)に、データ端子はデータバス(SD15-0)103の下位8ビット(SD7-0)に接続される。

【0043】このROM201は、図6に示されているように、64K×8ビット構成の64Kバイトの記憶容

量を有しており、16ビット幅のアドレスA15-0によってアドレッシングされる。すなわち、ROM201には物理アドレス0000HからFFFFHまでの64Kバイトのアドレス空間が割り当てられており、この物理アドレスの割り当てによってROM201はシステムアドレスF0000HからFFFFFFHまでの64Kバイトの空間にマッピングされる。

【0044】このROM201には、ファージャンプ命令、アドレス変換ルーチン、ブートブロックウインドウオープンルーチン、ブートブロック転送ルーチン、および新たなブートブロックが格納されている。

【0045】アドレス変換ルーチンは、フラッシュEEPROM100のブートブロックエリアがROM201のアドレスと重ならないようにするために、システムアドレスのA16の論理反転を行う。A16の論理反転により、フラッシュEEPROM100のブートブロックエリアはアドレスEC000Hに割り当てられる。

【0046】ブートブロックウインドウオープンルーチンは、フラッシュEEPROM100のブートブロックエリアをアクセスするためのブートブロックウインドをオープンするためのものであり、このブートブロックウインドはシステムアドレスEC0000HからFFFFFFHの範囲に割り当てられる。すなわち、通常は、システムアドレスの値がアドレスF0000HからFFFFFFHの範囲に属する時だけフラッシュEEPROM100のチップイネーブル信号CS1が付勢されるが、ブートブロックウインドがオープンされた場合には、システムアドレスの値がそのウインドに対応するアドレスEC0000HからFFFFFFHの範囲に属する場合にもフラッシュEEPROM100のチップイネーブル信号CS1が付勢される。これにより、ブートブロックウインドを通してフラッシュEEPROM100のブートブロックをアクセスすることができる。

【0047】ブートブロック転送ルーチンは、ROM201に格納されている新たなブートブロックの内容をフラッシュEEPROM100のブートブロックエリアに書き込むプログラムであり、このプログラムの実行によってフラッシュEEPROM100のブートブロックが書き替えられる。ROM201に格納されている新たなブートブロックは、フラッシュEEPROM100のブートブロックと同様に、ファージャンプ命令、CRCルーチン、アドレス変換ルーチン、およびBIOS転送ルーチン等を含んでいる。

【0048】ファージャンプ命令は、CPU11がリセットされた後にそのCPU11によって最初にアドレッシングされる格納位置（ここでは、スタートアドレスFFFF0H）に格納されており、このファージャンプ命令が最初に実行される。このファージャンプ命令のジャンプ先は、ROM201のアドレス変換ルーチンを示している。

【0049】図5において、マスタ信号発生回路202は、システムバス10のリセット(RESET)信号線104およびマスタ(MAST)信号線105に接続されており、I/Oゲートアレイ11Aからリセット(RESET)信号が発生された後一定期間、マスタ(MAST)信号を発生する。このマスタ(MAST)信号は、ブートブロック書き替えユニット44の装荷をI/Oゲートアレイ11Aに通知するために使用される。また、マスタ信号発生回路202は、リセット(RESET)信号に応答して、ROM201のチップイネーブル信号を付勢する。

【0050】次に、図7を参照して、I/Oゲートアレイ11A内に設けられているフラッシュEEPROM制御のためのハードウェア構成を説明する。図示のように、I/Oゲートアレイ11Aには、フラッシュメモリコントロールレジスタ501、システムROMイネーブルレジスタ502、A16反転回路503、第1および第2のアドレス範囲判定回路504、505、プログラム電源出力回路506、マスタ信号検出回路507、およびリセット信号発生回路508が設けられている。

【0051】フラッシュメモリコントロールレジスタ501には、そのビット5にプログラム制御フラグ(PRG)、ビット4にアドレス反転制御フラグ(INV)、ビット0にブートブロックウインドイネーブル制御フラグ(BBEN)がCPU11によってセットされる。

【0052】プログラム制御フラグ(PRG)は、フラッシュEEPROM100へのプログラム電源PROGの発生を制御するためのものであり、プログラム時は“1”のプログラム制御フラグ(PRG)がセットされる。アドレス反転制御フラグ(INV)は、アドレスA16の反転の有無を指定するためのものであり、アドレスA16の反転時には“1”のアドレス反転制御フラグ(INV)がセットされる。ブートブロックウインドイネーブル制御フラグ(BBEN)は、フラッシュEEPROM100のブートブロックをアクセスするためのウインドのオープンを指定するためのものであり、ブートブロックウインドオープン時には“1”のブートブロックウインドイネーブル制御フラグ(BBEN)がセットされる。

【0053】フラッシュメモリコントロールレジスタ501のこれらフラグの値は、電源ユニット42からのパワーオンリセット信号によって初期値“0”にリセットされる。

【0054】システムROMイネーブルレジスタ502は、ブートブロック書き替え後にフラッシュEEPROM100のアクセスをイネーブルに戻すためのものであり、そのビット7にはシステムBIOSイネーブルフラグ(EN-BIS)がCPU11によってセットされる。“1”のシステムBIOSイネーブルフラグ(EN-BIS)がセットされると、マスタ検出回路507に

よって提供されるアドレスF0000H~FFFFFHを介したフラッシュEEPROM100のアクセスをディセーブルにする機能がリセットされる。

【0055】システムBIOSイネーブルフラグ(EN-BIS)の値は、電源ユニット42からのパワーオンリセット信号によって初期値“0”にリセットされる。A16反転回路503は、CPU11からのシステムアドレスA23-0のうちのA16の論理反転を行うためのものであり、アドレス反転制御フラグ(INV) = “1”の時はA16を反転して信号線403に出力し、アドレス反転制御フラグ(INV) = “0”の時はA16をそのまま信号線403に出力する。

【0056】第1のアドレス範囲判定回路504は、CPU11からのシステムアドレスの値がシステムROMをアクセスするためのアドレス範囲F0000H~FFFFFHに属するか否かを判定し、属す場合にはORゲートG1を介してチップセレクト信号CS1を発生する。このアドレス範囲判定回路504の動作は通常はイネーブル状態に設定されているが、マスタ信号検出回路507から検出出力が発生されるとそれによってディセーブルされる。

【0057】第2のアドレス範囲判定回路505は、CPU11からのシステムアドレスの値がブートブロックウィンドウに対応するアドレス範囲EC0000H~EFFFFFHに属するか否かを判定し、属す場合にはORゲートG1を介してチップセレクト信号CS1を発生する。このアドレス範囲判定回路505の動作は、ブートブロックウィンドウイネーブル制御フラグ(BBEN)が“1”にセットされた時にだけイネーブルされ、それ以外はディセーブルされている。

【0058】プログラム電源出力回路506は、12Vの電源電圧VPPとGNDの一方を選択してそれをプログラム電源PROGとして出力するためのものであり、プログラム制御フラグ(PRG) = “1”の時は12Vの電源電圧VPPを選択する。

【0059】マスタ信号検出回路507は、電源投入時にブートブロック書き換えユニット44の装着の有無を検出するために設けられたものであり、電源ユニット42からのパワーオンリセット信号の後縁でマスタ信号(MAST)をサンプリングする。一定期間以上有意のマスタ信号(MAST)が発生されていれば、マスタ信号検出回路507はブートブロック書き換えユニット44が装着されていることを検知し、第1のアドレス範囲判定回路504をディセーブルにする。

【0060】リセット信号発生回路508は、電源ユニット42からのパワーオンリセット信号にตอบสนองしてシステムリセット信号を出力する。次に、図5乃至図7を参照して、フラッシュEEPROM100のブートブロック書き換え動作を説明する。

【0061】フラッシュEEPROM100のブートブ

ロックが破壊された場合、またはそのブートブロックをバージョンアップする場合には、ブートブロック書き換えユニット44が拡張バスコネクタ43に装着される。

【0062】この状態で、電源スイッチが投入されると、電源ユニット42からパワーオンリセット信号が発生される。このパワーオンリセット信号にตอบสนองして、I/Oゲートアレイ11Aのリセット発生回路508はシステムリセット信号を発生する。このリセット信号は、ブートブロック書き換えユニット44のマスタ信号発生回路202に送られる。

【0063】マスタ信号発生回路202は、リセット信号が切れてからある一定期間、有意のマスタ信号(MAST)を出力する。I/Oゲートアレイ11Aのマスタ信号検出回路507は、パワーオンリセット信号の後縁でマスタ信号(MAST)をサンプリングし、それが一定期間有意であれば、ブートブロック書き換えユニット44の装着を検知し、第1のアドレス範囲判定回路504をディセーブルにする。これにより、以降は、アドレスF0000H~FFFFFHの範囲に属すシステムアドレスが発行されても、フラッシュEEPROM100へのチップセレクト信号(CS1)は発生されない。

【0064】これにより、本来フラッシュEEPROM100のブートブロックをアクセスするためのシステムアドレス(スタートアドレスFFFFFF0)は、そのままシステムバス10のアドレスバス102上に出力され、ブートブロック書き換えユニット44のROM201に送られる。

【0065】これにより、ROM201は、本来フラッシュEEPROM100のブートブロックをアクセスするためのシステムアドレスによってリードアクセスされる。ROM201の物理アドレスFFFFFF0にはファージャンプ命令が格納されているので、このファージャンプ命令がアドレッシングされてCPU11に読み込まれ実行され。そして、以降は、ROM201のプログラムに制御が移る。

【0066】ROM201のプログラムに制御が移ると、まず、ROM201のアドレス変換ルーチンが実行されて、フラッシュメモリコントロールレジスタ501に“1”のアドレス反転制御フラグ(INV)がセットされる。これにより、A16反転回路503がイネーブルとなり、アドレスA16の論理反転が行われる。このアドレスA16の論理反転により、以降は、フラッシュEEPROM100のブートブロックエリアは、システムアドレスEC0000HからEFFFFFHの範囲にリマッピングされる。

【0067】次いで、ROM201のブートブロックウィンドウオープンルーチンが実行され、フラッシュメモリコントロールレジスタ501に“1”のブートブロックウィンドウイネーブル制御フラグ(BBEN)がセットされる。これにより、第2のアドレス範囲判定回路5

05がイネーブルとなり、ブートブロックウインドウがオープンされる。

【0068】以降は、システムアドレスの値がアドレスEC0000HからFFFFFFHの範囲に属す時にはフラッシュEEPROM100に対するチップイネーブル信号CS1が発生されるようになり、そのウインドウを介したブートブロックアクセスが可能となる。

【0069】この後、ROM201のブートブロック転送ルーチンが実行され、フラッシュメモリコントロールレジスタ501に“1”のプログラム制御フラグ(PRG)がセットされる。これにより、12Vの電源電圧VPPがプログラム電源PROGとしてフラッシュEEPROM100に送られる。そして、ROM201に格納された新たなブートブロックが書き込みデータとしてフラッシュEEPROM100に転送され、フラッシュEEPROM100のプログラム動作が開始される。この結果、フラッシュEEPROM100のブートブロックエリアの内容が書き換えられる。

【0070】書き替え終了後は、電源をオフした後にブートブロック書き替えユニット44を外し、電源を再投入することによって、新たなブートブロックを利用した通常のシステム起動処理を行うことができる。

【0071】また、ブートブロック書き替えユニット44を装着したままでも、システムROMイネーブルレジスタ502に“1”のシステムBIOSイネーブルフラグをセットすれば、マスタ信号検出回路507をリセットできるので新たなブートブロックを利用した通常のシステム起動処理を行うことができる。このシステムBIOSイネーブルフラグのセットは、例えば、ブートブロック書き替え終了後にそのシステムBIOSイネーブルフラグを“1”にセットするプログラムをROM201に格納しておくことによって実現できる。

【0072】以上のように、この実施例では、ブートブロック書き替えユニット44が拡張バスコネクタ43を介してシステムバス10に接続されると、F0000H~FFFFFFHのアドレス範囲を介したフラッシュEEPROM100のアクセスがディセーブルされる。これにより、CPU11からF0000H~FFFFFFHのアドレス範囲に属すシステムアドレスが発行されても、フラッシュEEPROM100はアクセスされず、その代わりにブートブロック書き替えユニット44のROM201がアクセスされる。この結果、ROM201に格納されたプログラムがCPU11によって実行され、ブ

ートブロックエリアを書き替えるための処理が開始される。この場合、フラッシュEEPROM100のブートブロックエリアは、ROM201とアドレスがオーバーラップしないように、A16の反転処理によってEC0000H~FFFFFFHのアドレス範囲にリマッピングされ、そのアドレス範囲を通してライトアクセスされる。したがって、システム起動時に最初に行われるプログラムであるブートブロックが破壊された場合でも、そのフラッシュEEPROM100を交換すること無く、ブートブロックの内容を修復することが可能となる。

【0073】なお、この実施例では、ROM201内に新たなブートブロックを格納したが、ROM201には転送プログラムだけを格納して、FDD等から新たなブートブロックをフラッシュEEPROM100に転送することも可能である。

【0074】

【発明の効果】以上のように、この発明によれば、システム起動時に最初に行われるEEPROM内のプログラムが破壊された場合でも、そのEEPROMの交換作業なしでそのプログラムを修復することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係わるポータブルコンピュータの全体のシステム構成を示すブロック図。

【図2】同実施例のシステムに設けられてるフラッシュEEPROMの記憶内容を示す図。

【図3】同実施例のシステムにおけるメモリマップの一例を示す図。

【図4】同実施例のシステムにおけるフラッシュEEPROMに対するアドレス割り当ての一例を示す図。

【図5】同実施例のシステムにおけるフラッシュEEPROM周辺のハードウェア構成と同システムに装着されるブートブロック書き替えユニットの構成を示す図。

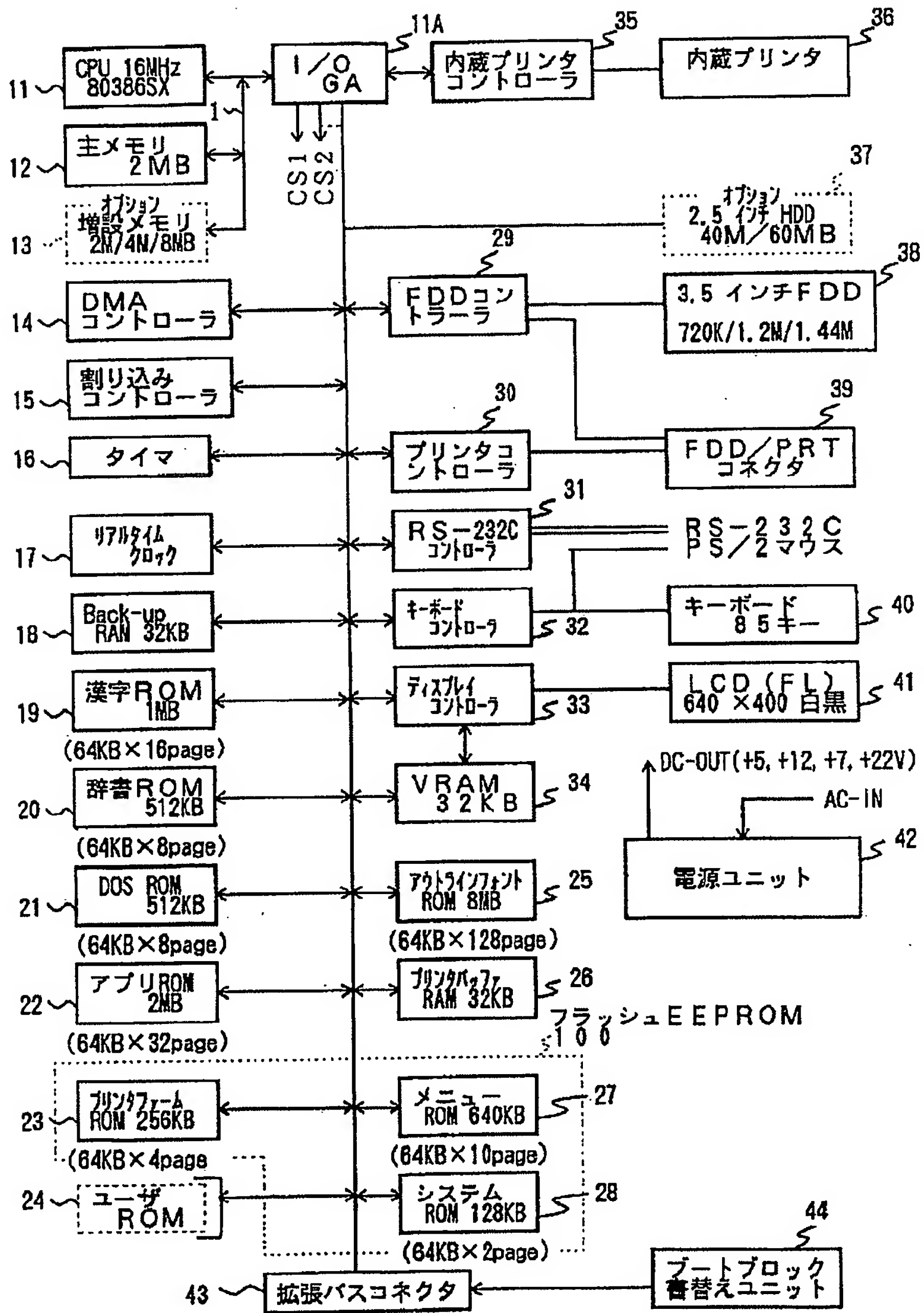
【図6】図5のブートブロック書き替えユニットに設けられているROMの記憶内容の一例を示す図。

【図7】同実施例のシステムに設けられているフラッシュEEPROM制御のための回路構成を示す図。

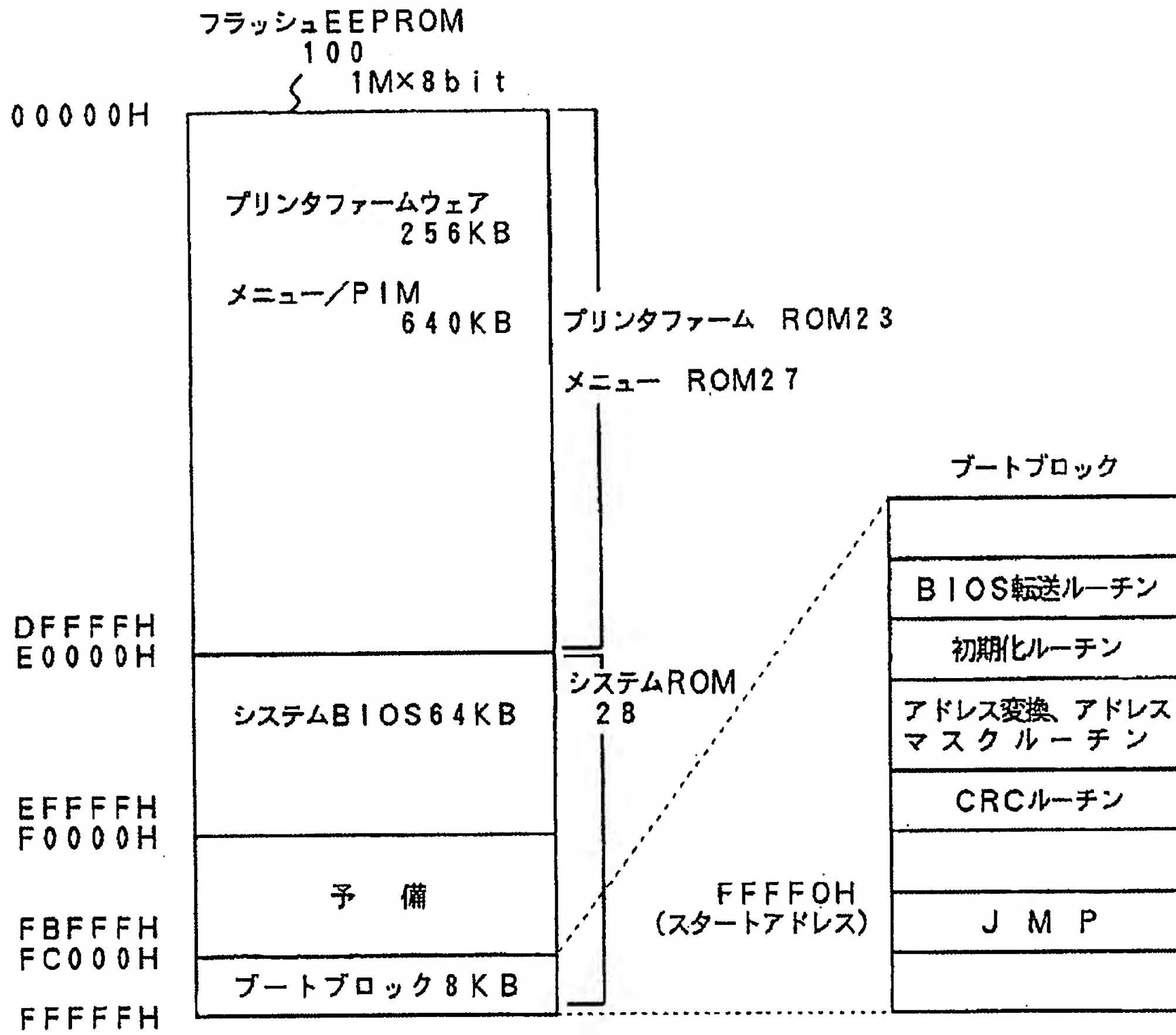
【符号の説明】

10…システムバス、11…CPU、11A…バスコントローラ、28…システムROM、43…拡張バスコネクタ、44…ブートブロック書き替えユニット、100…フラッシュEEPROM、105…マスタ信号線、201…ROM。

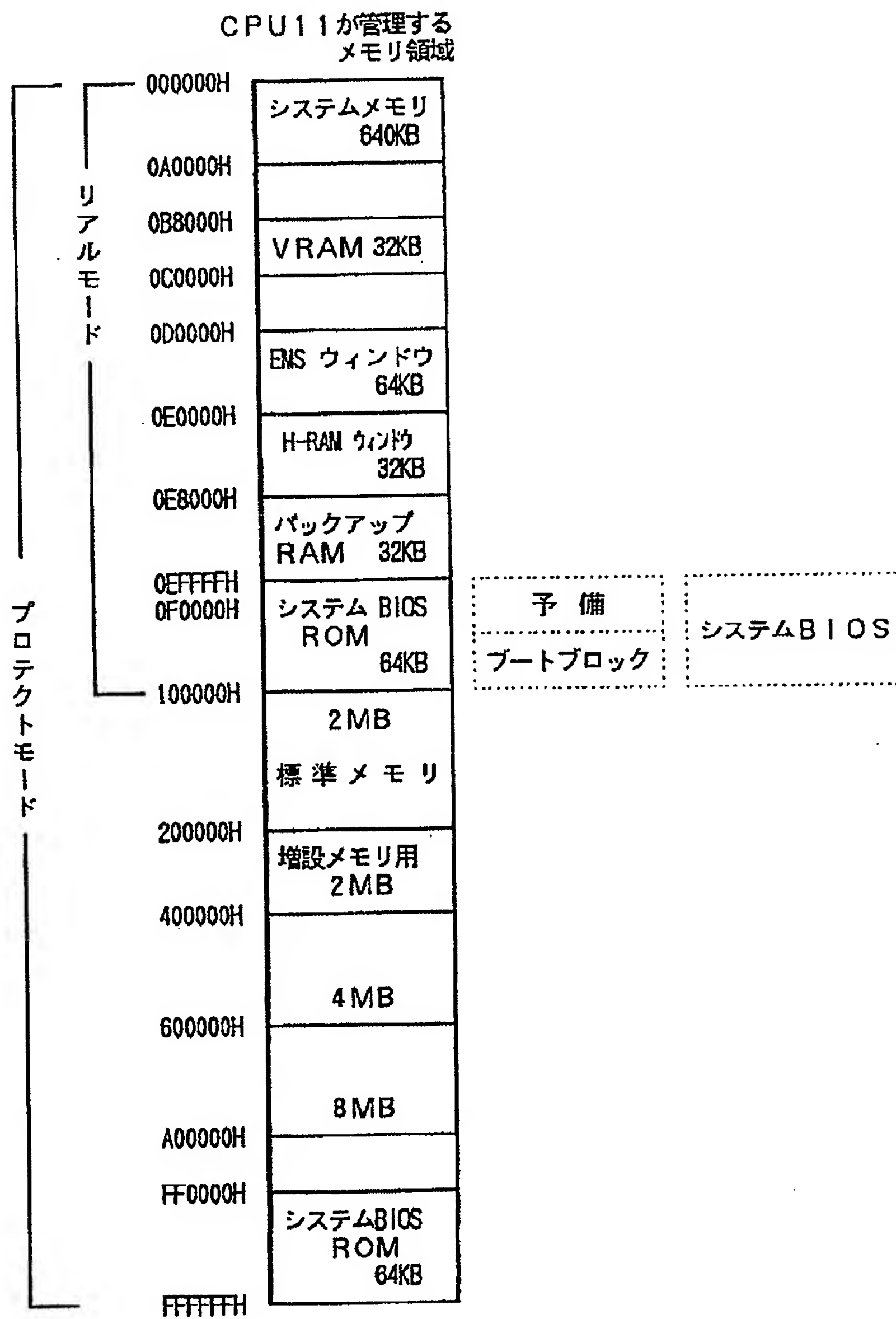
【図1】



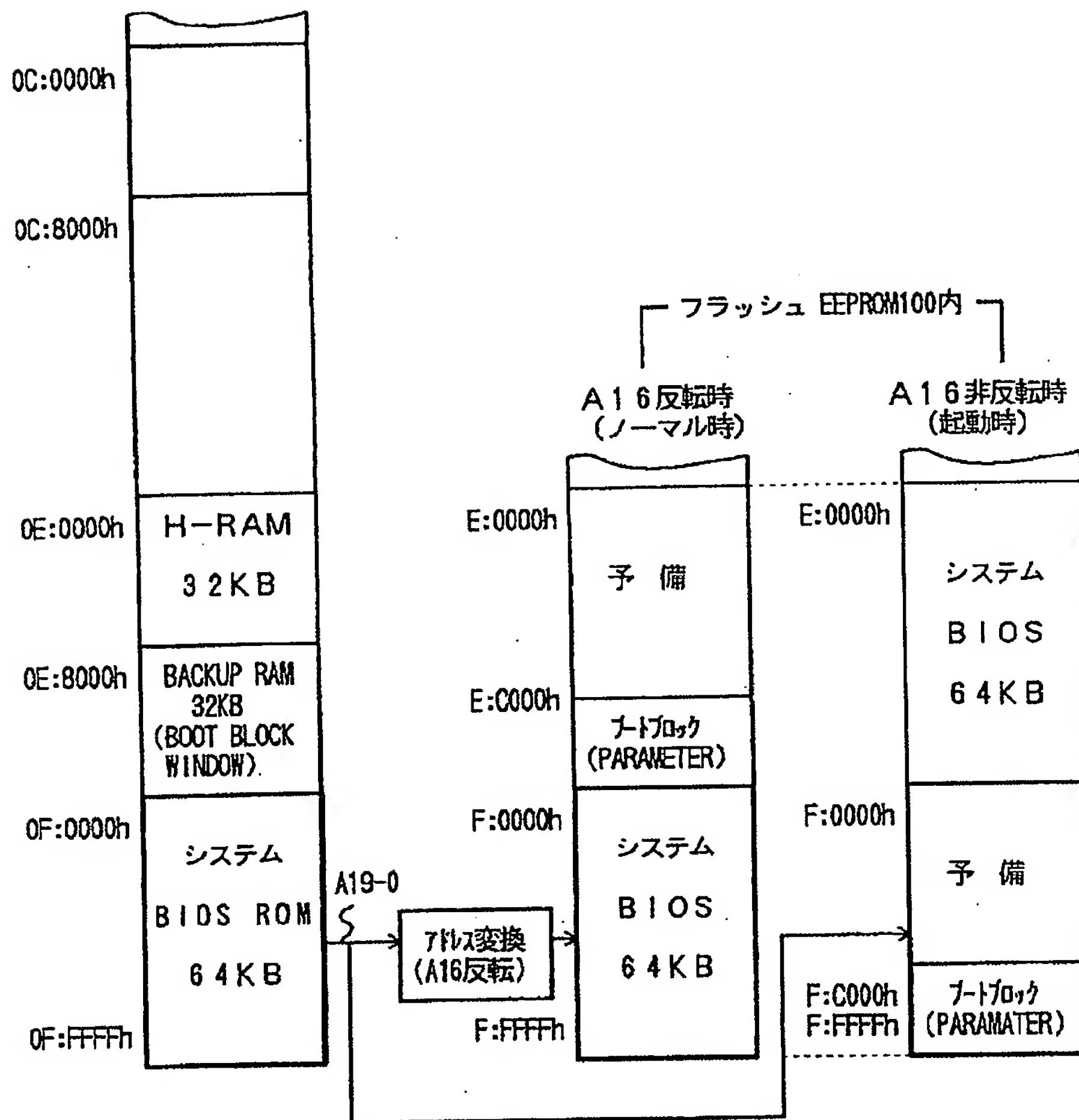
【図2】



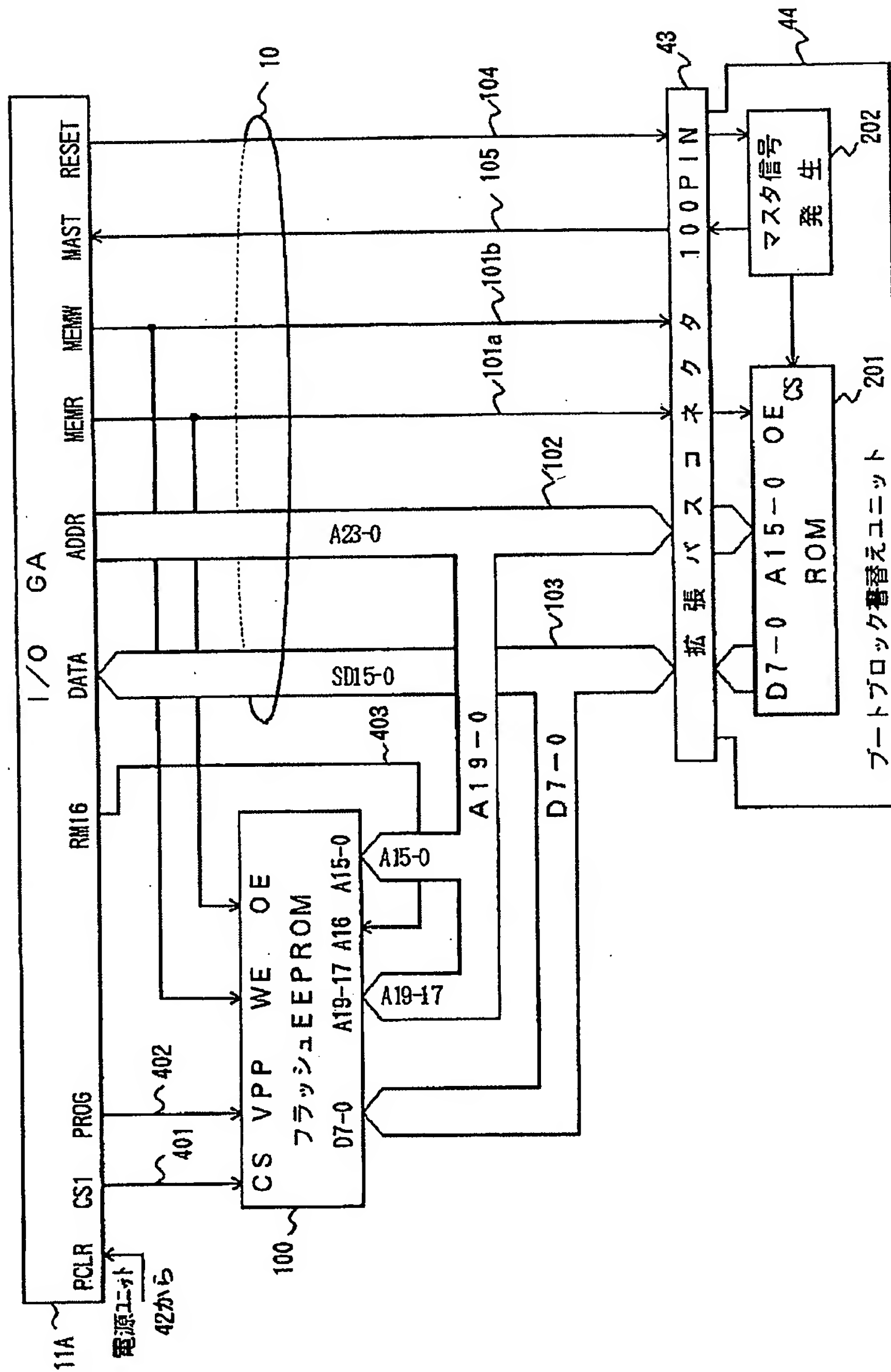
【図3】



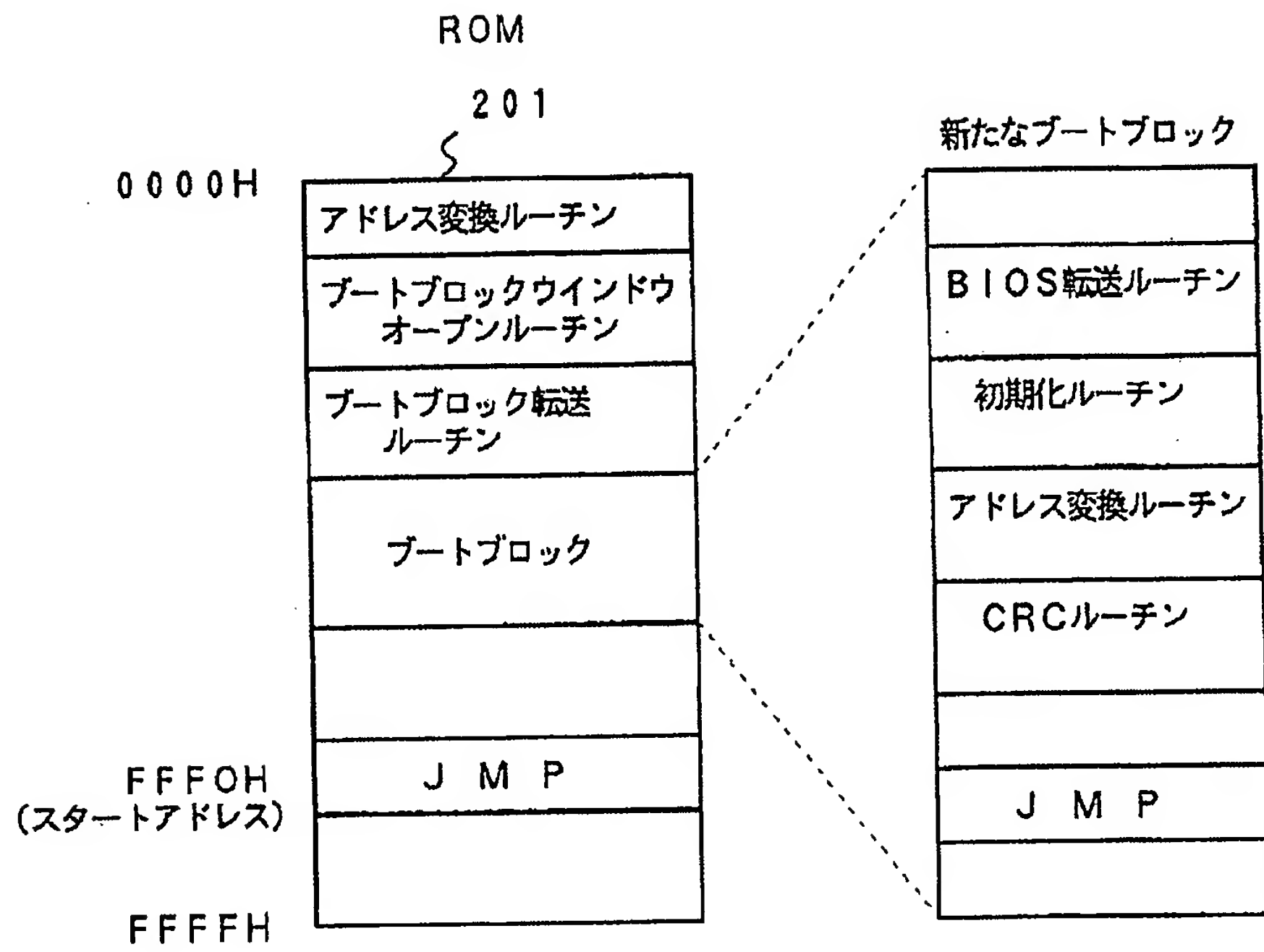
【図4】



【図5】



【図6】



The diagram illustrates the internal architecture of CPU11, which is divided into an I/O DATA section and a CPU11 section. The I/O DATA section includes a 24-bit bus connected to the CPU11 section. The CPU11 section contains several key components:

- Registers:**
 - システムアドレスレジスタ (System Address Register):** A 24-bit register (502) with bits b0 through b7. It is connected to the 24-bit bus and the **アドレス範囲判定 (アドレスロック) (Address Range Determination (Address Lock))** block (504).
 - フラッシュメモリコントロールレジスタ (Flash Memory Control Register):** A 24-bit register (501) with bits b0 through b7. It is connected to the 24-bit bus and the **アドレス範囲判定 (F0000H) (FFFFH) (Address Range Determination (F0000H) (FFFFH))** block (505).
 - BB-EN:** A control signal (506) connected to the **アドレス範囲判定 (アドレスロック) (Address Range Determination (Address Lock))** block (504).
- Control Logic:**
 - アドレス範囲判定 (アドレスロック) (Address Range Determination (Address Lock))** (504): Receives signals from the system address register and BB-EN.
 - アドレス範囲判定 (F0000H) (FFFFH) (Address Range Determination (F0000H) (FFFFH))** (505): Receives signals from the flash memory control register and BB-EN.
 - AND 601:** A logic gate that combines the outputs of blocks 504 and 505 to generate the **CS1** signal (401).
 - リセット発生 (Reset Generation)** (507): Receives signals from the 24-bit bus and the **CLR** block (508) to generate the **RESET** signal (A23-0, RM16, 403).
 - CLR** (508): Receives signals from the 24-bit bus and the **MAST検出 (MAST Detection)** block (509) to generate the **CLR** signal (105).
 - MAST検出 (MAST Detection)** (509): Receives signals from the 24-bit bus and the **MAST** signal (105) to generate the **CLR** signal (105).
- Other Signals:**
 - パワーオンリセット (Power-On Reset):** A signal connected to the **アドレス範囲判定 (アドレスロック) (Address Range Determination (Address Lock))** block (504).
 - MAST (105):** A signal connected to the **CLR** block (508) and the **MAST検出 (MAST Detection)** block (509).
 - RESET (A23-0, RM16, 403):** A signal generated by the **リセット発生 (Reset Generation)** block (507).
 - CS1 (401):** A signal generated by the **AND 601** block.
 - PROG (402):** A signal connected to the **アドレス範囲判定 (アドレスロック) (Address Range Determination (Address Lock))** block (504).
 - GND VPP (506):** A signal connected to the **アドレス範囲判定 (アドレスロック) (Address Range Determination (Address Lock))** block (504).